

594P/3494500

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

Jc675 U.S. PTO  
09/459967  
12/13/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1998年12月14日

出 願 番 号  
Application Number:

平成10年特許願第354735号

出 願 人  
Applicant(s):

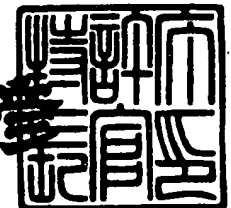
ソニー株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

1999年 9月24日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3063266

【書類名】 特許願

【整理番号】 9800499001

【提出日】 平成10年12月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 5/14

【発明の名称】 データ処理回路

【請求項の数】 9

【発明者】

    【住所又は居所】 神奈川県横浜市保土ヶ谷区神戸町 1 3 4 番地 ソニー・  
エルエスアイ・デザイン株式会社内

    【氏名】 立花 久

【特許出願人】

    【識別番号】 000002185

    【氏名又は名称】 ソニー株式会社

    【代表者】 出井 伸之

【代理人】

    【識別番号】 100094053

    【弁理士】

    【氏名又は名称】 佐藤 隆久

【手数料の表示】

    【予納台帳番号】 014890

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9707389

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理回路

【特許請求の範囲】

【請求項 1】

少なくとも一のチャンネルの PACKET データを含む複数の PACKET データをアプリケーション側から入力し、当該入力した複数の PACKET データのなかから、所望のチャンネルの PACKET データを選択し、当該選択した PACKET データをデータ伝送路に送出するデータ処理回路であって、

前記アプリケーション側から有効な前記 PACKET データが入力されているタイミングを特定する第 1 の PACKET データ有効性指示信号に基づいて、前記入力した PACKET データ内のチャンネル識別データを抽出するチャンネル識別データ抽出回路と、

前記抽出した前記チャンネル識別データと、予め決定された選択するチャンネルを指定するチャンネル指定データとを比較する比較回路と、

前記比較の結果が一致を示す場合に、前記第 1 の PACKET データ有効性指示信号を第 2 の PACKET データ有効性指示信号として出力し、前記比較の結果が不一致を示す場合に、無効を示す前記第 2 の PACKET データ有効性指示信号を出力する PACKET データ有効性指示信号生成回路と、

前記第 2 の PACKET データ有効性指示信号と前記 PACKET データとを対応したタイミングで入力し、前記第 2 の PACKET データ有効性指示信号が有効であることを示すタイミングで入力した前記 PACKET データを選択して前記データ伝送路に送出する送信回路と

を有するデータ処理回路。

【請求項 2】

前記チャンネル識別データ抽出回路は、前記第 1 の PACKET データ有効性指示信号を前記アプリケーション側から入力する

請求項 1 に記載のデータ処理回路。

【請求項 3】

前記送信回路は、前記第 2 の PACKET データ有効性指示信号が無効であること

を示すタイミングで、挿入データを前記データ伝送路に送出する

請求項 1 に記載のデータ処理回路。

【請求項 4】

前記挿入データは、前記選択されたパケットデータに関する情報データである  
請求項 2 記載のデータ処理回路。

【請求項 5】

前記チャンネル指定データを記憶する記憶回路  
をさらに有する請求項 1 に記載のデータ処理回路。

【請求項 6】

前記記憶回路に前記チャンネル指定データを書き込むコンピュータ  
をさらに有する請求項 5 に記載のデータ処理回路。

【請求項 7】

前記データ伝送路に送出するパケットデータを記憶する送出パケットデータ記  
憶回路

をさらに有し、

前記送信回路は、前記第 2 のパケットデータ有効性指示信号が有効であることを  
示すタイミングで入力した前記パケットデータを選択して送出パケットデータ  
記憶回路に書き込む

請求項 1 に記載のデータ処理回路。

【請求項 8】

前記送信回路は、予め決められた時間間隔で前記選択したパケットデータを前  
記データ伝送路に送出する

請求項 1 に記載のデータ処理回路。

【請求項 9】

前記データ伝送路は、シリアルバスである

請求項 1 に記載のデータ処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルシリアルインタフェースなどに用いられるデータ処理回路に関するものである。

【0002】

【従来の技術】

近年、マルチメディア・データ転送のためのインタフェースとして、高速データ転送、リアルタイム転送を実現するIEEE (The Institute of Electrical and Electronic Engineers) 1394、High Performance Serial Busが規格化された。

【0003】

このIEEE 1394シリアルインタフェースのデータ転送には、従来のRequest, Acknowledgeの要求、受信確認を行うアシンクロナス (Asynchronous) 転送と、125  $\mu$ sに1回必ずデータが送られるアイソクロナス (Isochronous) 転送がある。

【0004】

このように、2つの転送モードを有するIEEE 1394シリアルインタフェースでのデータは、パケット単位で転送が行われる。

【0005】

このようなIEEE 1394シリアルインタフェースに用いられるデータ処理回路は、図8に示すように、主としてIEEE 1394シリアルバスBUSを直接ドライブするフィジカル・レイヤ回路1と、フィジカル・レイヤ回路1のデータ転送をコントロールするリンク・レイヤ回路2とにより構成される。

【0006】

上述したIEEE 1394シリアルインタフェースにおけるアイソクロナス通信系では、例えば図8に示すように、リンク・レイヤ回路2はフィジカル・レイヤ回路3を介してIEEE 1394シリアルバスBUSに接続されている。

そして、リンク・レイヤ回路2には、MPEG (Moving Picture coding Exper

ts Group) 2トランスポートやDVCR(Digital Video Cassette Recorder) などのアプリケーション3が接続される。

【0007】

【発明が解決しようとする課題】

ところで、例えば、デジタル衛星放送などのデータは、デジタル衛星放送用のセット・トップ・ボックスを介してリンク・レイヤ回路2に供給されるが、セット・トップ・ボックスに供給されるデータには複数のチャンネルが多重化されている。

【0008】

しがしながら、従来のIEEE1394シリアルインタフェースのデータ処理回路は、複数のチャンネルが多重化されたデータから特定のチャンネルだけを選択して出力することができない。

したがって、チャンネル選択用の外付けの回路を設け、ここで特定のチャンネルのデータを抽出してリンク・レイヤ回路2に入力させる必要があった。

また、特定のチャンネルを選択した場合には、その選択したチャンネルに関する情報を付加してシリアルインタフェースバスに送信したい場合があるが、IEEE1394シリアルインタフェースのデータ処理回路では、チャンネルを選択し、当該選択したチャンネルのデータに、当該チャンネルに関する情報を付加するという機能を備えた構成は未だ実現されていない。

【0009】

本発明は、上述した従来技術に鑑みてなされたものであり、チャンネル選択用の外付け回路を用いることなく、複数のチャンネルが多重化されたデータから特定のチャンネルのデータを選択してデータ伝送路に送出できるデータ処理回路を提供することを目的とする。

また、本発明は、選択したチャンネルのデータと共に、当該選択したチャンネルのデータに関する情報データをデータ伝送路に送出できるデータ処理回路を提供することを目的とする。

## 【0010】

## 【課題を解決するための手段】

上述した目的を達成するために、本発明のデータ処理回路は、少なくとも一のチャンネルの packets データを含む複数の packets データをアプリケーション側から入力し、当該入力した複数の packets データの中から、所望のチャンネルの packets データを選択し、当該選択した packets データをデータ伝送路に送出するデータ処理回路であって、前記アプリケーション側から有効な前記 packets データが入力されているタイミングを特定する第1の packets データ有効性指示信号に基づいて、前記入力した packets データ内のチャンネル識別データを抽出するチャンネル識別データ抽出回路と、前記抽出した前記チャンネル識別データと、予め決定された選択するチャンネルを指定するチャンネル指定データとを比較する比較回路と、前記比較の結果が一致を示す場合に、前記第1の packets データ有効性指示信号を第2の packets データ有効性指示信号として出力し、前記比較の結果が不一致を示す場合に、無効を示す前記第2の packets データ有効性指示信号を出力する packets データ有効性指示信号生成回路と、前記第2の packets データ有効性指示信号と前記 packets データとを対応したタイミングで入力し、前記第2の packets データ有効性指示信号が有効であることを示すタイミングで入力した前記 packets データを選択して前記データ伝送路に送出する送信回路とを有する。

## 【0011】

本発明のデータ処理回路では、アプリケーション側から packets データが入力される。

そして、チャンネル指示データ抽出回路において、第1の packets データ有効性指示信号に基づいて、前記入力した packets データ内のチャンネル識別データが抽出される。

そして、比較回路において、当該抽出した前記チャンネル識別データと、チャンネル指定データとが比較される。

そして、packets データ有効性指示信号生成回路において、前記比較の結果が一致を示す場合に、前記第1の packets データ有効性指示信号が第2の packets

データ有効性指示信号として出力され、前記比較の結果が不一致を示す場合に、無効を示す前記第2の packets データ有効性指示信号が出力される。

そして、送信回路において、前記第2の packets データ有効性指示信号が有効であることを示すタイミングで入力された前記 packets データが選択され、前記データ伝送路に送出される。

【0012】

また、本発明のデータ処理回路は、好ましくは、前記送信回路は、前記第2の packets データ有効性指示信号が無効であることを示すタイミングで、挿入データを前記データ伝送路に送出する。

【0013】

また、本発明のデータ処理回路は、好ましくは、前記挿入データは、前記選択された packets データに関する情報データである。

【0014】

また、本発明のデータ処理回路は、好ましくは、前記予め決定された選択するチャンネルを指定する前記チャンネル指定データを記憶する記憶回路をさらに有する。

【0015】

また、本発明のデータ処理回路は、好ましくは、前記記憶回路に前記チャンネル指定データを書き込むコンピュータをさらに有する。

【0016】

【発明の実施の形態】

図1は、IEEE 1394 シリアルインタフェースに適用される本発明に係るデータ処理回路の一実施形態を示すブロック構成図である。

【0017】

このデータ処理回路は、リンク・レイヤ回路10、フィジカル・レイヤ回路20、ホストコンピュータとしてのCPU 30により構成されている。また、リンクレイヤ回路10には、アプリケーション40が接続されている。

アプリケーション40は、図1に示すように、例えば、MPEG 2 トランスポート(Transporter) 41、D/A(Digital/Analog)コンバータ42、IEC 95



8 デジタルオーディオ回路 43 および PLL 回路 44 を有している。

#### 【0018】

リンク・レイヤ回路 10 は、CPU 30 の制御の下、アシンクロナス転送およびアイソクロナス転送の制御、並びにフィジカル・レイヤ回路 20 の制御を行う。

具体的には、リンク・レイヤ回路 10 は、図 1 に示すように、例えば、リンクコア回路 (Link Core) 101、ホストインタフェース回路 (HOST I/F) 102、アプリケーションインタフェース回路 (AP I/F) 103、アシンクロナス通信の送信用 FIFO 回路 (AT-FIFO) 104、アシンクロナス通信の受信用 FIFO 回路 (AR-FIFO) 105、インサートパケットバッファ (IPB) 106、アイソクロナス通信用送信前処理回路 (TXOPRE) 108、アイソクロナス通信用送信後処理回路 (TXOPRO) 109、アイソクロナス通信用受信前処理回路 (TXIPRE) 110、アイソクロナス通信用受信後処理回路 (TXIPRO) 111、アイソクロナス通信の送信用 FIFO 回路 (IT-FIFO) 112、アイソクロナス通信の送受信用 FIFO 回路 (IR-FIFO) 113 およびコンフィギュレーションレジスタ (Configuration Register、以下 CFR という) 114 により構成されている。

#### 【0019】

図 1 に示すリンク・レイヤ回路 10 では、ホストインタフェース回路 102、送信用 FIFO 回路 104、受信用 FIFO 回路 105 およびリンクコア回路 101 によりアシンクロナス通信系回路が構成される。

そして、アプリケーションインタフェース回路 103、送信前処理回路 108、送信後処理回路 109、受信前処理回路 110、受信後処理回路 111、送信用 FIFO 回路 112、送受信用 FIFO 回路 113 およびリンクコア回路 101 によりアイソクロナス通信系回路が構成される。

#### 【0020】

##### リンクコア回路 101

リンクコア回路 101 は、アシンクロナス通信用パケットデータおよびアイソクロナス通信用パケットデータの送信回路、受信回路、これらパケットデータの IEEE 1394 シリアルバス BS を直接ドライブするフィジカル・レイヤ回路

20とのインタフェース回路、125 $\mu$ s毎にリセットされるサイクルタイマ、サイクルモニタやCRC回路から構成されている。そして、例えばサイクルタイマ等の時間データ等はCFR111を通してアイソクロナス通信系処理回路に供給される。

#### 【0021】

##### ホストインタフェース回路102

ホストインタフェース回路102は、主として、CPU30と送信用FIFO回路104および受信用FIFO回路105との間でのアシンクロナス通信用パケットデータの書き込み、読み出し等の調停、並びに、CPU30とCFR114との間での各種データの送受信の調停を行う。

例えば、MPEG2トランスポート41から入力したデジタル衛星放送の複数のチャンネルが多重化されたTSストリームの中から任意のチャンネルのTSパケットデータを抽出する場合には、ホストインタフェース回路102を介して、CPU30からCFR114内のPID(Partial Identifier)レジスタReg<sub>1</sub>、PIDレジスタReg<sub>2</sub>の少なくとも一方に、抽出しようとするTSパケットデータのチャンネル識別データPIDを示すチャンネル指定データCPIDが設定される。

ここで、2個のPIDレジスタReg<sub>1</sub>、Reg<sub>2</sub>に合計2チャンネル分のチャンネル指定データCPIDを設定可能なのは、本実施形態では、同時に2チャンネルのアイソクロナス送信が可能であるため、2チャンネル分のTSパケットデータを同時に抽出できるようにするためである。

#### 【0022】

また、ホストインタフェース回路102を介して、CPU30からCFR114のレジスタIPTxGoには、例えば、MPEG2トランスポート41からのTSストリームから抽出したTSパケットデータによって提供される番組の情報として付加すべき挿入用パケットデータであるインサートパケット(Insert Packet)データIPDを挿入する必要があるとき、論理値「1」が設定される。

#### 【0023】

また、ホストインタフェース回路102を介して、CPU30からCFR11

4のPIDオン・オフレジスタには、アプリケーションインタフェース回路103においてチャンネル選択を行うか否かを示すPIDオン・オフ信号SWが設定される。

#### 【0024】

##### 送信用FIFO104および受信用FIFO105

送信用FIFO104には、IEEE1394シリアルバスBUSに伝送させるアシンクロナス通信用パケットデータが格納される。

また、受信用FIFO105にはIEEE1394シリアルインタフェースバスBUSを伝送されてきたアシンクロナス通信用パケットデータが格納される。

#### 【0025】

##### アプリケーションインタフェース回路103

アプリケーションインタフェース回路103は、アプリケーション40と送信前処理回路108および受信後処理回路111との間のデータの送受信の調停を行う。

そして、例えばMPEG2トランスポート41から送られてくるデジタル衛星放送の複数のチャンネルが多重化されたTSデータから、任意のチャンネルのTSパケットデータを選択してIEEE1394シリアルバスBUSに送信する場合には、前述したように、CFR114内のPIDレジスタReg<sub>1</sub>、PIDレジスタReg<sub>2</sub>に設定されたチャンネル指定データCPIDと一致するチャンネル識別データPIDを持つTSパケットデータを抽出するためのパケットイネーブル信号PEN\_OUT<sub>1</sub>、PEN\_OUT<sub>2</sub>を生成する。

また、アプリケーションインタフェース回路103は、抽出されたTSパケットデータによって提供される番組に関する情報をインサートパケットデータとして送信する場合に、当該インサートパケットデータを送信するタイミングを決定するためのインサートイネーブル信号IPEN\_OUTを生成する。

#### 【0026】

図2および図3はアプリケーションインタフェース回路103のチャンネル選択回路200の構成例を示すブロック図、図4は図2および図3に示す各信号のタイミングチャートである。

図2および図3に示すように、チャンネル選択回路200は、PID抽出回路202、PIDロード信号生成回路204、PID比較回路206、208、遅延回路210、イネーブル信号生成回路212、遅延回路214、D-FF回路216<sub>1</sub>を有する。

なお、これらの構成要素は、図示しないクロック信号生成回路が出力するクロック信号CKを基準として動作する。

#### 【0027】

チャンネル選択回路200は、デジタル衛星放送の複数のチャンネルが多重化されたTSデータのデータData\_INと、パケットイネーブル信号PEN\_INとをMPEG2トランスポート41から入力する。

また、チャンネル選択回路200は、データData\_OUTおよびパケットイネーブル信号PEN\_OUT<sub>1</sub>、PEN\_OUT<sub>2</sub>を送信前処理回路108に出力し、インサートイネーブル信号IPEN\_OUTをインサートパケットバッファ106に出力する。

#### 【0028】

以下、チャンネル選択回路200の構成要素について、図2～4を参照しながら詳細に説明する。

#### 〔PID抽出回路202〕

PID抽出回路202は、PIDロード信号生成回路204から入力したPIDロード信号S204に基づいて、図1に示すMPEG2トランスポート41から入力したTSデータを構成する各々188バイトのTSパケットデータから、13ビットのチャンネル識別データPIDを抽出する。

#### 【0029】

図2に示すように、PID抽出回路202は、D-FF回路216<sub>6</sub>、216<sub>7</sub>、216<sub>8</sub>およびスイッチ回路220を有する。

PID抽出回路202では、D-FF回路216<sub>6</sub>のD端子に、TS(Transport Stream)データが入力される。具体的には、図2に示すように、D-FF回路216<sub>6</sub>のD端子に、TSデータを構成する、図4(C)に示すように各クロックサイクル毎に8ビットを持つデータData\_INが入力される。

## 【0030】

D-FF回路216<sub>6</sub>のQ端子には、遅延回路210とD-FF回路216<sub>7</sub>のD端子およびQ端子とが接続されている。

また、D-FF回路216<sub>7</sub>のQ端子は、スイッチ回路220のH端子にも接続されている。

また、スイッチ回路220のA端子はD-FF回路216<sub>8</sub>のD端子に接続され、L端子はD-FF回路216<sub>8</sub>のQ端子に接続されている。

スイッチ回路220は、PIDロード信号生成回路204からのPIDロード信号S204が論理値「1」のときにA端子とH端子とを接続し、PIDロード信号S204が論理値「0」のときにA端子とL端子とを接続する。

また、D-FF回路216<sub>8</sub>のQ端子はPID比較回路206および208に接続されている。

## 【0031】

PID抽出回路202の動作例について説明する。

PID抽出回路202では、例えば、図4(A)に示すクロック信号CKの1クロックサイクル毎に、8ビットを単位として、図1に示すMPEG2トランスポート41が出力した図4(C)に示すデータData\_INがD-FF回路216<sub>6</sub>のD端子に入力される。

ここで、データData\_INは、前述したように、188バイトで1パケットデータを構成するTSデータであり、最初の8ビットにパケットデータの先頭を識別するためのデータstart\_byteを格納し、次の8ビットのうちLSB側の4ビット〔12:8〕がチャンネル識別データPIDのMSB側の4ビットを格納し、次の8ビットがチャンネル識別データPIDのLSB側の8ビットを格納し、次の8ビット以降がデータ(ペイロード)を格納している。

## 【0032】

そして、図4(B)に示すデータData\_INをD-FF回路216<sub>6</sub>で1クロックサイクルだけ遅延した図4(D)に示す8ビットのデータData<sub>1</sub>が、遅延回路210と、D-FF回路216<sub>7</sub>のD端子と、D-FF回路216<sub>7</sub>のQ端子側とに出力される。

そして、データData<sub>1</sub>をD-FF回路216<sub>7</sub>で1クロックサイクルだけ遅延した図4(E)に示すデータData<sub>2</sub>が、D-FF回路216<sub>7</sub>のQ端子から出力される。

そして、図4(D)に示すデータData<sub>1</sub>と、図4(E)に示すデータData<sub>2</sub>のLSB側の4ビットとから構成される13ビットのデータData<sub>3</sub>が、スイッチ回路220のH端子に出力される。

#### 【0033】

そして、図4(D)，(E)，(H)に示すように、PIDロード信号S204が論理値「1」となっている1クロックサイクルの間に、図4(I)に示すように、データData<sub>3</sub>がチャンネル識別データPID<sub>1</sub>となり、スイッチ回路220のH端子とA端子とが接続され、チャンネル識別データPID<sub>1</sub>がD-FF回路216<sub>8</sub>のD端子に入力される。

そして、図4(I)に示すチャンネルチャンネル識別データPID<sub>1</sub>をD-FF回路216<sub>8</sub>で1クロックサイクルだけ遅延した図4(J)に示すチャンネル識別データPID<sub>2</sub>が、スイッチ回路220のL端子およびPID比較回路206，208に出力される。

PIDロード信号S204は、以後、論理値「0」になり、スイッチ回路220において端子Lと端子Aとが接続され、チャンネル識別データPID<sub>2</sub>の論理値が保持される。

#### 【0034】

なお、PIDロード信号S204は、図4(D)，(E)，(H)に示すように、データData<sub>1</sub>とData<sub>2</sub>とに含まれる合計13ビットのPIDデータがデータData<sub>3</sub>に生じたタイミングで論理値「1」になり、当該タイミングは、PIDロード信号生成回路204によって後述するように決定される。

#### 【0035】

##### 〔PIDロード信号生成回路204〕

PIDロード信号生成回路204は、図1に示すMPEG2トランスポート41から入力したパケットイネーブル信号PEN\_INに基づいて、PID抽出回路202においてチャンネル識別データPIDを抽出するタイミングを決定する

ために用いられるPIDロード信号S204を生成する。

#### 【0036】

図2に示すように、PIDロード信号生成回路204は、D-FF回路216<sub>2</sub>、216<sub>3</sub>、216<sub>4</sub>、216<sub>5</sub>およびAND回路218を有する。

D-FF回路216<sub>2</sub>のD端子には、図4(B)に示すパケットイネーブル(Packet Enable)信号PEN\_INが入力される。

D-FF回路216<sub>2</sub>のQ端子は、D-FF回路216<sub>3</sub>のD端子およびAND回路218の一方の入力端子に接続されている。

D-FF回路216<sub>3</sub>のQ<sup>—</sup>端子は、AND回路218の他方の入力端子に接続されている。

AND回路218の出力端子はD-FF回路216<sub>4</sub>のD端子に接続され、D-FF回路216<sub>4</sub>のQ端子はD-FF回路216<sub>5</sub>のD端子に接続されている。

D-FF回路216<sub>5</sub>のQ端子からは、前述したPIDロード信号S204が、スイッチ回路220に向けて出力される。

#### 【0037】

PIDロード信号生成回路204の動作について説明する。

図4(B)に示すパケットイネーブル信号PEN\_INが、図1に示すMPG2トランスポータ41からD-FF回路216<sub>2</sub>のD端子に入力され、パケットイネーブル信号PEN\_INを1クロックサイクルだけ遅延した図4(C)に示すパケットイネーブル信号PEN<sub>1</sub>がD-FF回路216<sub>3</sub>のD端子およびAND回路218の一方の入力端子に出力される。

そして、パケットイネーブル信号PEN<sub>1</sub>が論理値「1」に切り換わると、当該切り換わりから1クロックサイクルの間、D-FF回路216<sub>3</sub>のQ<sup>—</sup>端子から出力される信号が論理値「1」となり、AND回路218の2入力の双方が論理値「1」になり、AND回路218の出力端子から出力されるエッジ検出信号EDGE<sub>1</sub>に図4(F)に示すようにパルスが発生する。

#### 【0038】

そして、図4(F)に示すエッジ検出信号EDGE<sub>1</sub>を1クロックサイクルだ

け遅延した図4（G）に示すエッジ検出信号EDGE<sub>2</sub>がD-FF回路216<sub>5</sub>のD端子に出力される。

【0039】

そして、図4（G）に示すエッジ検出信号EDGE<sub>2</sub>を1クロックサイクルだけ遅延した図4（H）に示すPIDロード信号S204がスイッチ回路220に出力される。

【0040】

〔遅延回路210およびD-FF回路216<sub>1</sub>〕

遅延回路210は、データData\_\_OUTとパケットイネーブル信号PEN\_\_OUT<sub>1</sub>、PEN\_\_OUT<sub>2</sub>との間のタイミングを調整するために、D-FF回路216<sub>6</sub>のQ端子から出力された図4（D）に示すデータData<sub>1</sub>を、3クロックサイクルだけ遅延したデータData<sub>4</sub>をD-FF回路216<sub>1</sub>に出力する。

D-FF回路216<sub>1</sub>は、遅延回路210から入力したデータData<sub>4</sub>を1クロックサイクルだけ遅延した図4（O）に示すデータData\_\_OUTを図1に示す送信前処理回路108に出力する。

【0041】

〔PID比較回路206〕

PID比較回路206は、CFR114内のPIDレジスタReg<sub>1</sub>から読み出した13ビットのチャンネル指定データCPID<sub>1</sub>〔0〕～〔12〕と、D-FF回路216<sub>8</sub>のQ端子から入力した13ビットのチャンネル識別データPID<sub>2</sub>〔0〕～〔12〕とをビット毎に比較し、全てのビットが一致している場合に論理値「1」となり、そうでない場合に論理値「0」となるPID比較結果信号S206を生成し、PID比較結果信号S206を図3に示すOR回路232<sub>1</sub>に出力する。

【0042】

図5は、PID比較回路206の構成図である。

図5に示すように、PID比較回路206は、2入力1出力のEx(Exclusive) NOR回路300<sub>0</sub>～300<sub>12</sub>および13入力1出力のAND回路302を有



する。

ここで、2入力1出力のE x N O R回路は、排他的論理和の反転を演算し、入力のデータが同じ論理値のとき（すなわち、論理値「1」と「1」、あるいは、論理値「0」と「0」のとき）に出力を論理値「1」にし、それ以外の人に、出力を論理値「0」にする。

#### 【0043】

図5に示すように、P I D比較回路206は、C F R 114内のP I DレジスタR e g<sub>1</sub> から読み出した13ビットのチャンネル指定データC P I D<sub>1</sub>〔0〕～〔12〕の各々をE x N O R回路300<sub>0</sub>～300<sub>12</sub>の一方の入力端子にそれぞれ入力し、D-F F回路216<sub>8</sub>のQ端子から入力した13ビットのチャンネル識別データP I D<sub>2</sub>〔0〕～〔12〕の各々をE x N O R回路300<sub>0</sub>～300<sub>12</sub>の他方の入力端子にそれぞれ入力する。

また、E x N O R回路300<sub>0</sub>～300<sub>12</sub>の出力端子は、A N D回路302の入力端子に接続されている。

#### 【0044】

P I D比較回路206の動作について説明する。

P I D比較回路206は、nを0以上12以下の整数とした場合に、E x N O R回路300<sub>n</sub>において、チャンネル指定データC P I D<sub>1</sub>〔n〕とチャンネル識別データP I D<sub>2</sub>〔n〕との排他的論理和の反転が演算され、その演算結果を示す演算結果信号がA N D回路302に出力される。

そして、A N D回路302において、E x N O R回路300<sub>0</sub>～300<sub>12</sub>から入力した演算結果信号が全て論理値「1」のとき、すなわちチャンネル指定データC P I D<sub>1</sub>とチャンネル識別データP I D<sub>2</sub>とが一致しているときに論理値「1」となり、そうでないときに論理値「0」となるP I D比較結果信号S 206が生成される。

P I D比較結果信号S 206は、図3に示すO R回路232<sub>1</sub>に出力される。

#### 【0045】

##### 〔P I D比較回路208〕

P I D比較回路208は、C F R 114内のP I DレジスタR e g<sub>2</sub> から読み

出した13ビットのチャンネル指定データ $CPID_2[0] \sim [12]$ と、D-FF回路216<sub>8</sub>のQ端子から入力した13ビットのチャンネル識別データ $PID_2[0] \sim [12]$ とをビット毎に比較し、全てのビットが一致している場合に論理値「1」となり、そうでない場合に論理値「0」となるPID比較結果信号S208を生成し、PID比較結果信号S208を図3に示すOR回路232<sub>2</sub>に出力する。

#### 【0046】

図6は、PID比較回路208の構成図である。

図6に示すように、PID比較回路208は、図5に示すPID比較回路206と同じ構成をしており、2入力1出力のExNOR回路310<sub>0</sub>～310<sub>12</sub>および13入力1出力のAND回路312を有する。

#### 【0047】

図6に示すように、PID比較回路208は、CFR114内のPIDレジスタReg<sub>2</sub>から読み出した13ビットのチャンネル指定データ $CPID_2[0] \sim [12]$ の各々をExNOR回路310<sub>0</sub>～310<sub>12</sub>の一方の入力端子にそれぞれ入力し、D-FF回路216<sub>8</sub>のQ端子から入力した13ビットのチャンネル識別データ $PID_2[0] \sim [12]$ の各々をExNOR回路310<sub>0</sub>～310<sub>12</sub>の他方の入力端子にそれぞれ入力する。

また、ExNOR回路310<sub>0</sub>～310<sub>12</sub>の出力端子は、AND回路312の入力端子に接続されている。

#### 【0048】

PID比較回路208の動作について説明する。

PID比較回路208は、nを0以上12以下の整数とした場合に、ExNOR回路310<sub>n</sub>において、チャンネル指定データ $CPID_2[n]$ とチャンネル識別データ $PID_2[n]$ との排他的論理和の反転が演算され、その演算結果を示す演算結果信号がAND回路312に出力される。

そして、AND回路312において、ExNOR回路310<sub>0</sub>～310<sub>12</sub>から入力した演算結果信号が全て論理値「1」のとき、すなわちチャンネル指定データ $CPID_2$ とチャンネル識別データ $PID_2$ とが一致しているときに論理値「

1」となり、そうでないときに論理値「0」となるPID比較結果信号S208が生成される。

PID比較結果信号S208は、図3に示すOR回路232<sub>2</sub>に出力される。

【0049】

〔遅延回路214〕

遅延回路214は、図2に示すD-FF回路216<sub>2</sub>のQ端子から出力された図4（C）に示すパケットイネーブル信号PEN<sub>1</sub>を入力し、当該入力したパケットイネーブル信号PEN<sub>1</sub>を3クロックサイクルだけ遅延した図4（Q）に示すパケットイネーブル信号PEN<sub>2</sub>を生成し、当該生成したパケットイネーブル信号PEN<sub>2</sub>をAND回路236<sub>1</sub>～236<sub>3</sub>の一方の入力端子に出力する。

【0050】

〔イネーブル信号生成回路212〕

図3に示すように、イネーブル信号生成回路212は、NOT回路230、OR回路232<sub>1</sub>、232<sub>2</sub>、NOR回路234、AND回路236<sub>1</sub>～236<sub>3</sub>およびD-FF回路216<sub>9</sub>、216<sub>10</sub>、216<sub>11</sub>を有する。

【0051】

イネーブル信号生成回路212は、遅延回路214から入力したパケットイネーブル信号PEN<sub>2</sub>と、図2に示すPID比較回路206、208から入力したPID比較結果信号S206、S208と、図1に示すCFR114内のPIDオン・オフレジスタから読み込んだPIDオン・オフ信号SWとから、パケットイネーブル信号PEN\_OUT<sub>1</sub>、PEN\_OUT<sub>2</sub>およびインサートイネーブル信号IPEN\_OUTを生成する。

【0052】

図3に示すように、イネーブル信号生成回路212は、NOT回路230の入力端子にPIDオン・オフ信号SWが入力され、NOT回路230の出力端子はOR回路232<sub>1</sub>、232<sub>2</sub>の一方の入力端子に接続されている。

また、OR回路232<sub>1</sub>の他方の入力端子には、図2に示すPID比較回路206からのPID比較結果信号S206が入力される。

また、OR回路232<sub>1</sub>の出力端子は、AND回路236<sub>1</sub>の一方の入力端子

に接続されている。

また、OR回路 232<sub>2</sub> の他方の入力端子には、図 2 に示す P I D 比較回路 208 からの P I D 比較結果信号 S 208 が入力される。

また、OR回路 232<sub>2</sub> の出力端子は、AND回路 236<sub>2</sub> の一方の入力端子に接続されている。

また、NOR回路 234 の入力端子には P I D 比較結果信号 S 206, S 208 が入力され、NOR回路 234 の出力端子は AND回路 236<sub>4</sub> の一方の入力端子に接続されている。

AND回路 236<sub>4</sub> の他方の入力端子には、P I D オン・オフ信号 S W が入力される。

また、AND回路 236<sub>4</sub> の出力端子は、AND回路 236<sub>3</sub> の一方の入力端子に接続されている。

#### 【0053】

また、AND回路 236<sub>1</sub>, 236<sub>2</sub>, 236<sub>3</sub> の他方の入力端子には、遅延回路 214 からのパケットイネーブル信号 P E N<sub>2</sub> が入力される。

また、AND回路 236<sub>1</sub>, 236<sub>2</sub>, 236<sub>3</sub> の出力端子は、それぞれ D-F F 回路 216<sub>9</sub>, 216<sub>10</sub>, 216<sub>11</sub> の D 端子に接続される。

また、D-F F 回路 216<sub>9</sub>, 216<sub>10</sub>, 216<sub>11</sub> の Q 端子からは、それぞれパケットイネーブル信号 P E N\_\_O U T<sub>1</sub>, P E N\_\_O U T<sub>2</sub>, I P E N\_\_O U T が出力される。

#### 【0054】

以下、図 3 に示すイネーブル信号生成回路 212 の動作について説明する。

イネーブル信号生成回路 212 では、P I D オン・オフ信号 S W が論理値「1」の場合、すなわち、チャンネル識別データ P I D を用いたチャンネル選択がアプリケーションインタフェース回路 103 において行われる場合であって、パケットイネーブル信号 P E N<sub>1</sub> を 3 クロックサイクルだけ遅延したパケットイネーブル信号 P E N<sub>2</sub> が論理値「1」の場合に、P I D 比較結果信号 S 206 および S 208 が、それぞれ D-F F 回路 216<sub>9</sub> および 216<sub>10</sub> において、1 クロックサイクルだけ遅延された後に、それぞれパケットイネーブル信号 P E N\_\_O U

$T_1$  および  $PEN\_OUT_2$  として図1に示す送信前処理回路108に出力される。

【0055】

また、このとき、PID比較結果信号S206およびS208の双方が論理値「0」であることを条件に、NOR回路234の出力が論理値「1」になり、1クロックサイクル遅れて、DFF回路216<sub>11</sub>のQ端子から出力されるインサートイネーブル信号IPEN\_OUTが論理値「1」になる。

すなわち、MPEG2トランスポート41から入力したパケットデータに含まれるチャンネル識別データPIDが、CFR114内のPIDレジスタReg<sub>1</sub>、Reg<sub>2</sub>に記憶されている選択しようとするチャンネルを示すチャンネル指定データCPID<sub>1</sub> およびCPID<sub>2</sub> のいずれとも一致しない場合に、インサートイネーブル信号IPEN\_OUTが論理値「1」になる。

【0056】

以下、図4を参照して、図4(P)に示すようにPIDオン・オフ信号SWが論理値「1」の場合、すなわち、チャンネル識別データPIDを用いたチャンネル選択がアプリケーションインタフェース回路103において行われる場合であって、パケットイネーブル信号PEN<sub>1</sub> およびPID比較結果信号S206の論理値がそれぞれ図4(C)，(K)のようになり、図4(M)に示すようにPID比較結果信号S208が論理値「0」の場合の動作を例示して説明する。

この場合には、図4(K)に示すPID比較結果信号S206を1クロックサイクルだけ遅延した図4(L)パケットイネーブル信号PEN\_OUT<sub>1</sub> がDFF回路216<sub>9</sub>のQ端子から図1に示す送信前処理回路108に出力される。

また、パケットイネーブル信号PEN\_OUT<sub>2</sub> は、図4(N)に示すように論理値「0」となる。

【0057】

インサートパケットバッファ106

インサートパケットバッファ106には、所望のインサートパケットデータIPDがCPU30から書き込まれる。

また例えば、アプリケーションインタフェース回路103において、MPEG

2トランスポート41から送られてくるデジタル衛星放送のTSデータから任意の番組のTSパケットデータを抽出してIEEE1394シリアルバスBUSに出力する場合には、抽出したTSパケットデータによって提供される番組に関する情報がインサートパケットデータIPDとしてインサートパケットバッファ106に書き込まれる。

#### 【0058】

また、インサートパケットバッファ106の容量は、例えば188バイトであり、188バイトまでのデータが有効で、この容量を超えたデータに関しては送信されない。

送信するデータが188バイト以下の場合は、書き込まれたデータ以外が「1」にセットされて送信される。

インサートパケットバッファ106に一度書き込まれたインサートパケットデータIPDは、再び書き込みが行われるまで、その値を保持される。

インサートパケットバッファ106に書き込まれたインサートパケットデータIPDは、図3に示すインサートイネーブル信号IPEN\_OUTが論理値「1」になっているタイミングで、アプリケーションインタフェース回路103および送信前処理回路108を介して、送信用FIFO回路112および送受信FIFO113の少なくとも一方に転送される。当該転送時には、上述したCFR114のレジスタIPTxGoが「1」に設定され、転送が終了した場合には自動的に「0」に設定され、CPU30はこれを確認することで転送終了を確認する。

#### 【0059】

##### 送信前処理回路108

送信前処理回路108は、アプリケーションインタフェース回路103から、TSパケットデータを構成する図2に示すデータData\_OUTおよびパケットイネーブル信号PEN\_OUT<sub>1</sub>、PEN\_OUT<sub>2</sub>を入力する。

また、送信前処理回路108は、パケットイネーブル信号PEN\_OUT<sub>1</sub>が論理値「1」のときに、データData\_OUTを、IEEE1394規格のアイソクロナス通信用としてクワドレット（4バイト）単位にデータ長を調整した

後に送信用FIFO112に書き込む。

また、送信前処理回路108は、パケットイネーブル信号PEN\_OUT<sub>2</sub>が論理値「1」のときに、データData\_OUTを、IEEE1394規格のアイソクロナス通信用としてクワドレット（4バイト）単位にデータ長を調整した後に送受信用FIFO113に書き込む。

また、送信前処理回路106は、必要に応じて、送信用FIFO112および送受信用FIFO113に書き込むデータData\_OUTを暗号化する。

#### 【0060】

##### 送信後処理回路109

送信後処理回路109は、送信用FIFO112および送受信用FIFO113に格納された選択されたチャンネルのデータ(Data)に対して図7に示すように、1394ヘッダ、ヘッダCRC、CIPヘッダ(Header)1, 2およびデータCRCを付加してリンクコア回路101の送信回路に出力する。

具体的には、図7に示すように、データ長を表すdata-length、このパケット転送されるチャンネルの番号（0～63のいずれか）を示すchannel、処理のコードを表すtcode、および各アプリケーションで規定される同期コードsyにより構成した1394ヘッダ、送信ノード番号のためのSID(Source node ID)領域、データブロックの長さのためのDBS(Data Block Size)領域、パケット化におけるデータの分割数のためのFN(Fraction Number)領域、パディングデータのクワドレット数のためのQPC(Quadlet Padding Count)領域、ソースパケットヘッダの有無を表すフラグのためのSPH領域、アイソクロナスパケットデータの数を検出するカウンタのためのDBC領域により構成したCIPヘッダ1、並びに転送されるデータの種類を表す信号フォーマットのためのFMT領域、信号フォーマットに対応して利用されるFDF(Format Dependent Field)領域およびタイムスタンプ情報のためのSyncTime領域により構成したCIPヘッダ2を付加する。

#### 【0061】

##### 受信前処理回路110

受信前処理回路110は、リンクコア回路101を介してIEEE1394シ

リアルバスBUSを伝送されてきたアイソクロナス通信用パケットデータを受信し、当該受信パケットデータの1394ヘッダ、CIPヘッダ1, 2などの内容を解析し、当該パケットデータに含まれるデータを復元し、当該復元したデータを送受信用FIFO113に格納する。

【0062】

送受信用FIFO113

受信後処理回路113は、送受信用FIFO113から読み出したデータをアプリケーションインタフェース回路103に出力し、このとき、データが暗号化されている場合には、当該データを解読する。

【0063】

以下、MPEG2トランスポート41から出力された複数のチャンネルが多重化されたTSデータから所望のチャンネルのTSパケットデータを抽出し、当該抽出したTSパケットデータを含むアイソクロナス通信用パケットデータを、IEEE1394シリアルバスBUSに送出する場合の動作を説明する。

【0064】

この場合には、まず、CPU30からCFR114内のPIDレジスタReg<sub>1</sub>, Reg<sub>2</sub>に、デジタル衛星放送の複数のチャンネルが多重化されたTSストリームから抽出しようとするチャンネルの特定するチャンネル指定データCPID<sub>1</sub>, CPID<sub>2</sub>がそれぞれ設定される。

また、例えば抽出したチャンネルのTSストリームに、当該チャンネル（番組）の情報として付加すべき挿入用パケットデータであるインサートパケットデータIPDを挿入する必要性が生じたとき、CPU30からCFR114のレジスタIPTxGoに論理「1」がセットされる。

【0065】

そして、CFR114内のPIDレジスタReg<sub>1</sub>, Reg<sub>2</sub>に設定されたチャンネル指定データCPID<sub>1</sub>, CPID<sub>2</sub>が、アプリケーションインタフェース回路103のチャンネル選択回路200に読み込まれる。

【0066】

アプリケーションインタフェース回路103のチャンネル選択回路200では



、デジタル衛星放送の複数のチャンネルが多重化されたTSデータを構成する複数のTSパケットデータが、図4（C）に示すデータData\_INとして入力され、5クロックサイクルだけ遅延された後に、図4（O）に示すデータData\_OUTとして後段の送信前処理回路108に出力される。

## 【0067】

また、チャンネル選択回路200では、TSデータを構成する複数のTSパケットデータのうち、チャンネル識別データPID<sub>2</sub>がチャンネル指定データCPID<sub>1</sub>と一致するTSパケットデータがデータData\_OUTとしてアプリケーションインタフェース回路103から送信前処理回路108に出力されるタイミングで論理値「1」になり、それ以外のタイミングで論理値「0」となるパケットイネーブル信号PEN\_OUT<sub>1</sub>が生成され、パケットイネーブル信号PEN\_OUT<sub>1</sub>が送信前処理回路108に出力される。

## 【0068】

チャンネル選択回路200では、TSデータを構成する複数のTSパケットデータのうち、チャンネル識別データPID<sub>2</sub>がチャンネル指定データCPID<sub>2</sub>と一致するTSパケットデータがデータData\_OUTとしてアプリケーションインタフェース回路103から送信前処理回路108に出力されるタイミングで論理値「1」になり、それ以外のタイミングで論理値「0」となるパケットイネーブル信号PEN\_OUT<sub>2</sub>が生成され、パケットイネーブル信号PEN\_OUT<sub>2</sub>が送信前処理回路108に出力される。

## 【0069】

また、チャンネル選択回路200において、TSデータに含まれる複数のTSパケットデータのうち、チャンネル識別データPID<sub>2</sub>がチャンネル指定データCPID<sub>1</sub>およびCPID<sub>2</sub>のどちらも一致しないTSパケットデータ（選択されないTSパケットデータ）がデータData\_OUTとしてアプリケーションインタフェース回路103からインサートパケットバッファ106に出力されるタイミングで論理値「1」になり、それ以外のときに論理値「0」になるインサートイネーブル信号IPEN\_OUTが生成され、インサートイネーブル信号IPEN\_OUTがインサートパケットバッファ106に出力される。

## 【0070】

そして、インサートイネーブル信号IPEN\_OUTが論理値「1」のときに、インサートパケットバッファ106に記憶されている188バイトのインサートパケットデータIPDが、アプリケーションインタフェース回路103を介して送信前処理回路108に出力される。

なお、当該インサートパケットデータIPDは、ホストインタフェース回路102を介して、CPU30からインサートパケットバッファ106に予め書き込まれている。

## 【0071】

そして、送信前処理回路108において、インサートパケットバッファ106から入力したインサートパケットデータIPDが、アイソクロナス通信用としてクワドレット（4バイト）単位にデータ長が調整された後に、送信用FIFO112あるいは送受信用FIFO113に書き込まれる。

具体的には、CFR114内の所定のレジスタの内容に基づいて、送信前処理回路108に入力されたインサートパケットデータIPDが、送信用FIFO112を介して送信されるチャンネルのTSパケットデータに関する情報を示すものであれば、当該インサートパケットデータIPDは送信用FIFO112に書き込まれ、一方、送受信用FIFO113を介して送信されるチャンネルのTSパケットデータに関する情報を示すものであれば、当該インサートパケットデータIPDは送受信用FIFO113に書き込まれる。

## 【0072】

なお、インサートパケットデータIPDがインサートパケットバッファ106から送信前処理回路108に出力されるときには、アプリケーションインタフェース回路103から送信前処理回路108に出力されるパケットイネーブル信号PEN\_OUT<sub>1</sub> およびPEN\_OUT<sub>2</sub> は論理値「0」になっており、アプリケーションインタフェース回路103から送信前処理回路108に出力されるデータData\_OUTは、送信用FIFO112および送受信用FIFO113に書き込まれない。

## 【0073】

一方、送信前処理回路108では、アプリケーションインタフェース回路103から入力したパケットイネーブル信号PEN\_OUT<sub>1</sub>が論理値「1」の場合に、アプリケーションインタフェース回路103から入力したデータData\_OUTが、アイソクロナス通信用としてクワドレット（4バイト）単位にデータ長が調整された後に送信用FIFO112に書き込まれる。

また、送信前処理回路108では、アプリケーションインタフェース回路103から入力したパケットイネーブル信号PEN\_OUT<sub>2</sub>が論理値「1」の場合に、アプリケーションインタフェース回路103から入力したデータData\_OUTが、アイソクロナス通信用としてクワドレット（4バイト）単位にデータ長が調整された後に送受信用FIFO113に書き込まれる。

このとき、パケットイネーブル信号PEN\_OUT<sub>1</sub>およびPEN\_OUT<sub>2</sub>が、同時に論理値「1」になることはないため、送信用FIFO112および送受信用FIFO113への書き込みは同時には発生しない。

## 【0074】

次に、送信用FIFO112あるいは送受信用FIFO113に格納されたデータが、送信後処理回路109に読み出され、これに図7に示す1394ヘッダ、CIPヘッダ(Header)1, 2などが付加されてアイソクロナス通信用のパケットデータが生成され、当該パケットデータがリンクコア回路101に出力される。

## 【0075】

次に、送信後処理回路109からリンクコア回路101に出力されたパケットデータが、125μs毎に、フィジカル・レイヤ回路20に出力され、フィジカル・レイヤ回路20においてエンコード等された後、IEEE1394シリアルバスBUSに出力される。

## 【0076】

次に、IEEE1394シリアルバスBUSを介してアイソクロナス通信用のパケットデータを受信する場合の動作を説明する。

まず、IEEE1394シリアルバスBUSを伝送するアイソクロナス通信用

の packets データが、フィジカル・レイヤ回路 20 およびリンクコア 101 を介して、受信前処理回路 110 に出力され、受信前処理回路 110 において、当該受信 packets データに含まれる 1394 ヘッダ、CIP ヘッダ 1, 2 などの内容が解析された後に、当該受信 packets データに含まれるデータが復元され、当該復元されたデータが送受信用 FIFO 113 に書き込まれる。

## 【0077】

次に、送受信用 FIFO 113 から受信後処理回路 111 にデータが読み出され、受信後処理回路 111 において、当該データが暗号化されている場合にはその解読が行われた後に、アプリケーションインタフェース回路 103 に出力される。

そして、当該データが、アプリケーションインタフェース回路 103 を介して、D/A コンバータ 43 あるいは IEC 958 に出力される。

## 【0078】

以上説明したように、本実施形態によれば、デジタル衛星放送の複数のチャンネルが多重化された TS データを MPEG 2 トランスポータ 41 から入力したときに、図 2 および図 3 に示すチャンネル選択回路 200 において、CFR 114 内の PID レジスタ  $Reg_1$ ,  $Reg_2$  に予め設定された選択を行おうとするチャンネルのチャンネル識別データ  $PID_2$  を示すチャンネル指定データ  $CPID_1$ ,  $CPID_2$  と、入力した TS packets データに含まれるチャンネル識別データ  $PID_2$  とを比較することで、当該 TS packets データを IEEE 1394 シリアルバス BUS を介して送信するか否かを判断する基準となる packets イネーブル信号  $PEN\_OUT_1$ ,  $PEN\_OUT_2$  を生成する。

そして、後段の送信前処理回路 108 において、packets イネーブル信号  $PEN\_OUT_1$ ,  $PEN\_OUT_2$  に基づいて、当該入力した TS packets データを送信用 FIFO 112 および送受信用 FIFO 113 に書き込むか否かを決定することで、デジタル衛星放送の複数のチャンネルが多重化された TS データから、IEEE 1394 シリアルバス BUS を介して送信する最大 2 チャンネル分の TS packets データを選択できる。

## 【0079】

また、本実施形態によれば、図3に示すチャンネル選択回路200のイネーブル信号生成回路212において、複数のチャンネルが多重化されたTSデータに含まれる、選択を行わないチャンネルのTSパケットデータをアプリケーションインタフェース回路103から送信前処理回路108に出力するタイミングで論理値「1」となるインサートイネーブル信号IPEN\_OUTを生成する。

そのため、インサートイネーブル信号IPEN\_OUTが論理値「1」となっているタイミングで、インサートパケットバッファ106に記憶されているインサートパケットデータIPDをアプリケーションインタフェース回路103を介して送信前処理回路108に出力することで、IEEE1394シリアルバスBUS上をTSパケットデータが送信されていない時間帯に、当該TSパケットデータが提供する番組に関する情報を示すインサートパケットデータIPDを送信できる。

## 【0080】

本発明は上述した実施形態には限定されない。

例えば、上述した実施形態では、フィジカル・レイヤ回路20を介して、リンク・レイヤ回路10からIEEE1394シリアルバスBUSに、2チャンネル分のTSパケットデータをアイソクロナス転送する場合を例示したが、本発明は、1チャンネル分のTSパケットデータをアイソクロナス転送する場合にも同様に適用できる。

この場合には、図2に示すPID比較回路208と、図3に示すOR回路232<sub>2</sub>、AND回路236<sub>2</sub>およびD-FF回路216<sub>10</sub>は不要であり、図3に示すNOR回路234の代わりに、NOT回路を用いる。

## 【0081】

また、上述した実施形態では、MPEG2トランスポート41から入力した複数のチャンネルが多重化されたTSデータから、所望のチャンネルのTSパケットデータを選択して送信する場合を例示したが、複数のチャンネルが多重化されたデータを入力するものであれば、MPEG2トランスポート41以外のアプリケーションからデータを入力する場合にも本発明を適用できる。

【0082】

【発明の効果】

以上説明したように、本発明のデータ処理回路によれば、チャンネル選択用の外付け回路を用いることなく、複数のチャンネルが多重化されたデータから特定のチャンネルのパケットデータを選択してデータ伝送路に送出できる。

また、本発明のデータ処理回路によれば、選択したチャンネルのパケットデータの他に、当該選択したチャンネルのパケットデータに関する情報データをデータ伝送路に送出できる。

【図面の簡単な説明】

【図1】

IEEE 1394 シリアルインタフェースに適用される本発明に係る MPEG 用データ処理回路の一実施形態を示すブロック構成図である。

【図2】

図2は、図1に示すアプリケーションインタフェース回路に内蔵されているチャンネル選択回路の部分構成図である。

【図3】

図3は、図1に示すアプリケーションインタフェース回路に内蔵されているチャンネル選択回路の部分構成図である。

【図4】

図4は、図2および図3に示す各信号のタイミングチャートである。

【図5】

図5は、図2に示す第1のPID比較回路の構成図である。

【図6】

図6は、図2に示す第2のPID比較回路の構成図である。

【図7】

図7は、アイソクロナス通信用パケットデータの基本構成例を示す図である。

【図8】

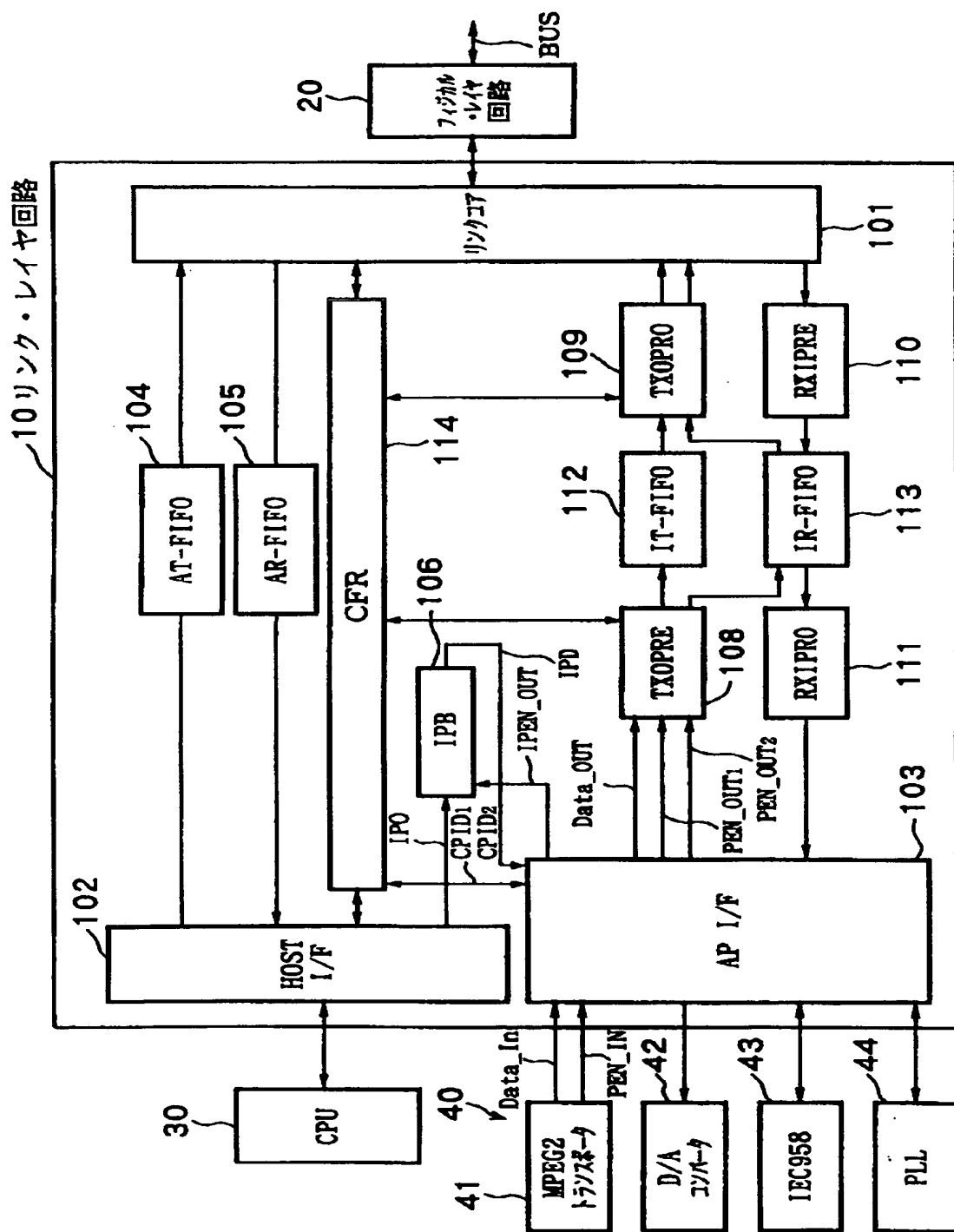
図8は、IEEE 1394 シリアルインタフェースにおけるアイソクロナス通信系回路の基本構成を示すブロック図である。

【符号の説明】

10…リンク・レイヤ回路、101…リンクコア回路(Link Core)、102…ホストインタフェース回路(Host I/F)、103…アプリケーションインタフェース回路(AP I/F)、104…アシンクロナス通信の送信用FIFO回路(AT-FIFO)、105…アシンクロナス通信の受信用FIFO回路(AR-FIFO)、106…インサートパケットバッファ(IPB)、108…アイソクロナス通信用送信前処理回路(TXOPRE)、109…アイソクロナス通信用送信後処理回路(TXOPRO)、110…アイソクロナス通信用受信前処理回路(TXPRES)、111…アイソクロナス通信用受信後処理回路(TXIPRO)、112…アイソクロナス通信の送信用FIFO回路(IT-FIFO)、113…アイソクロナス通信の送受信用FIFO回路(IR-FIFO)、114…コンフィギュレーションレジスタ(CFR)、20…フィジカル・レイヤ回路、30…CPU、40…アプリケーション、41…MPEGトランスポート、42…D/Aコンバータ、43…IEC958デジタルオーディオ回路、44…PLL回路、200…チャンネル選択回路

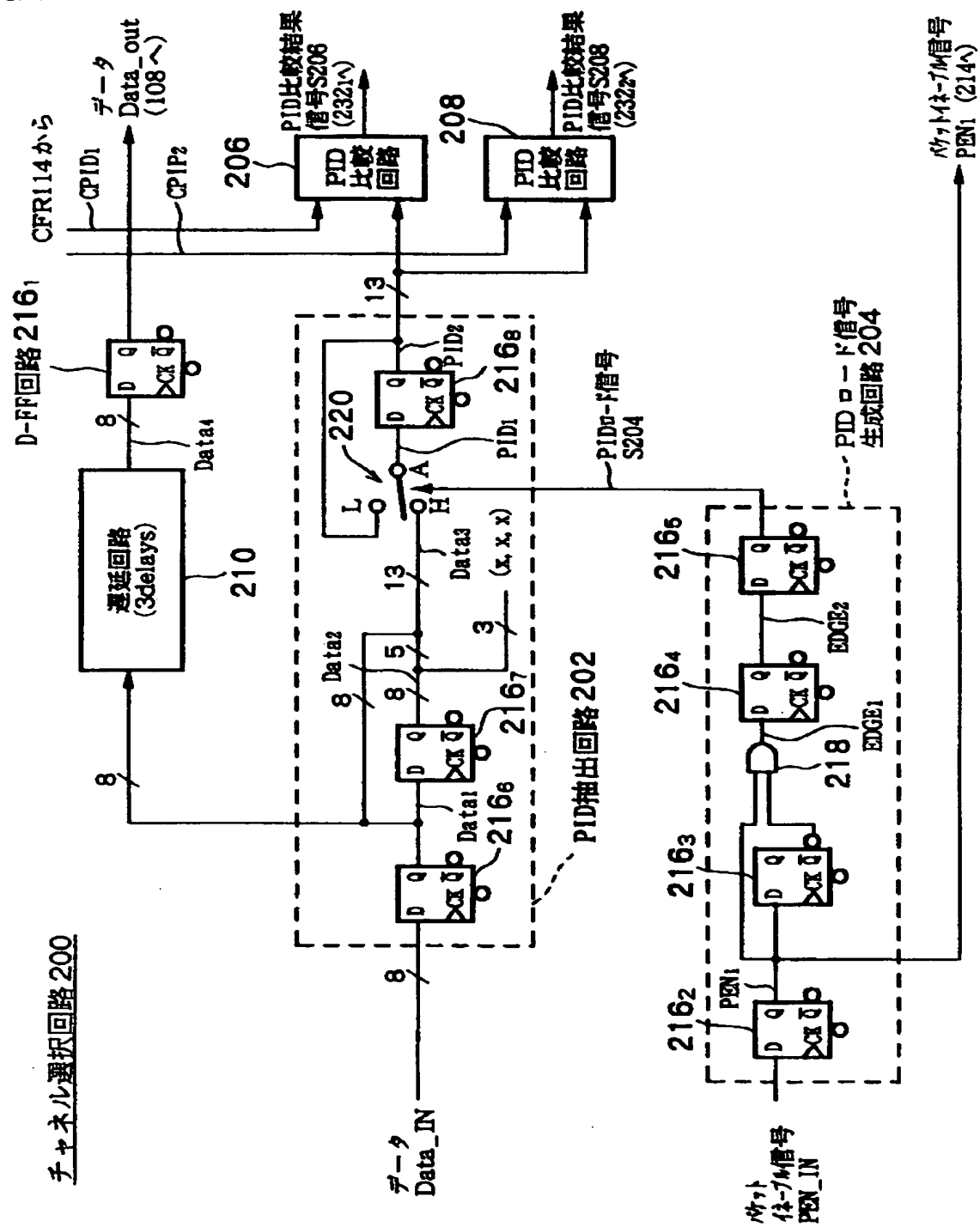
【書類名】 図面

【図 1】



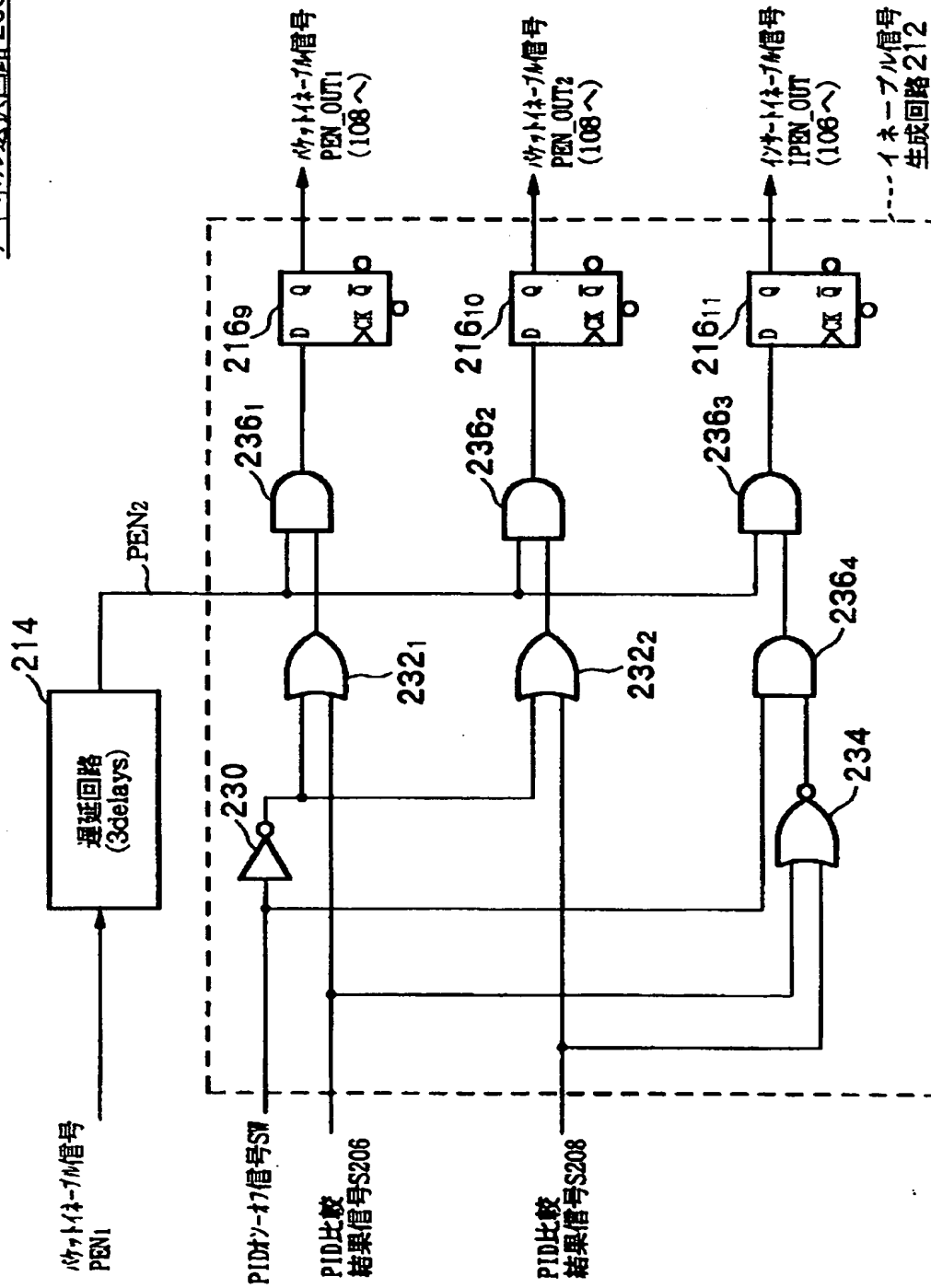


【図 2】

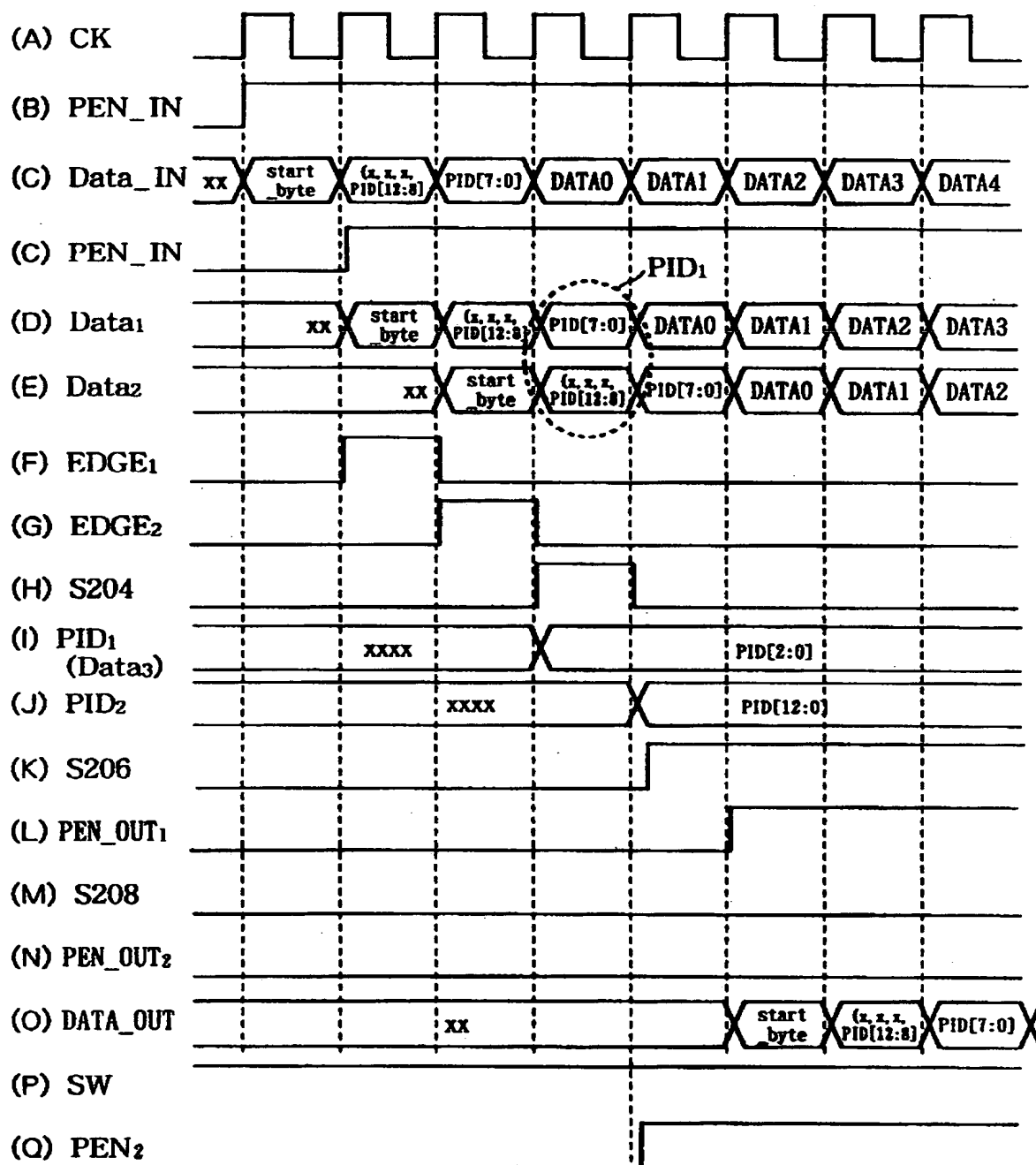


【図 3】

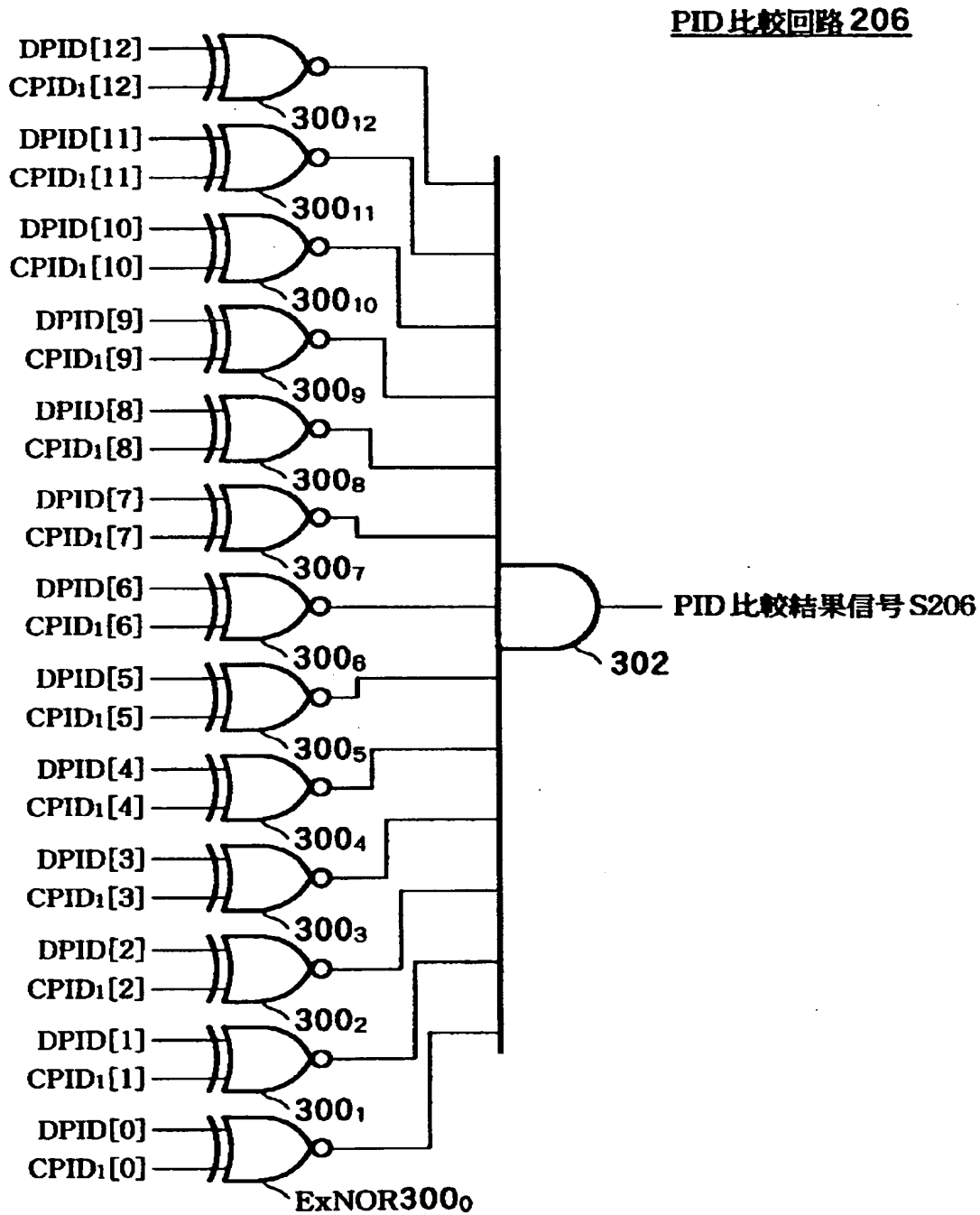
チャンネル選択回路 200



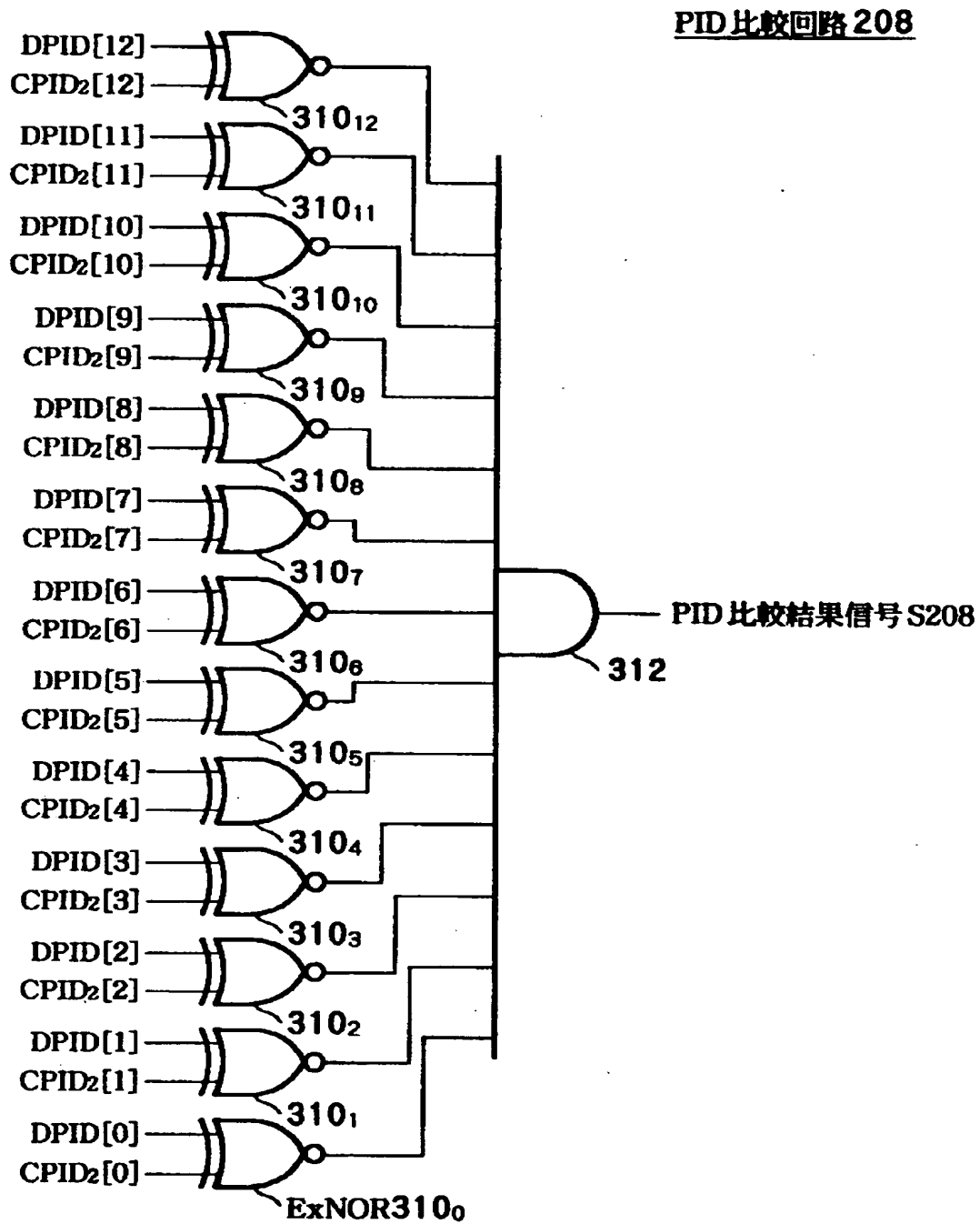
【図 4】



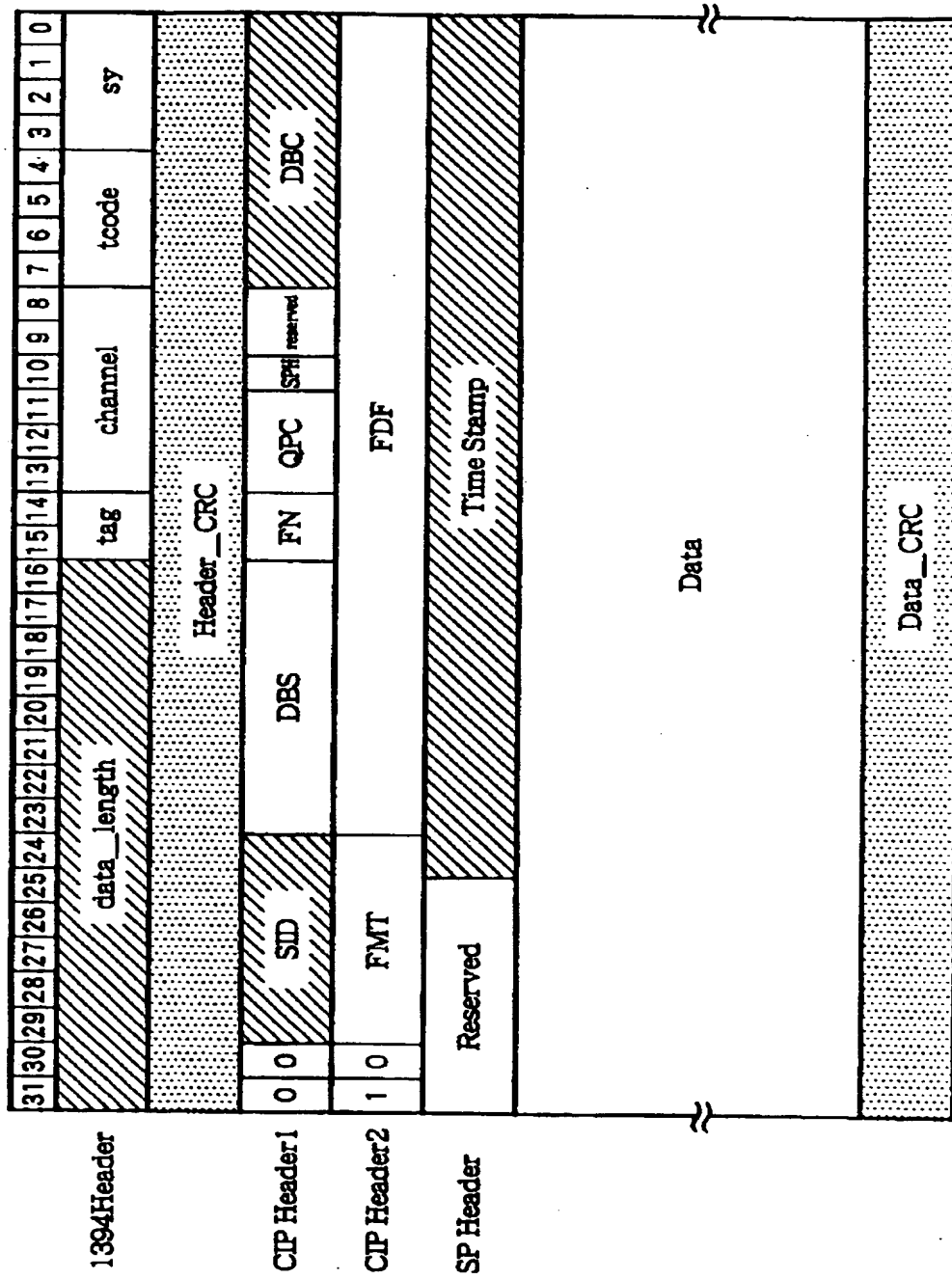
【图 5】



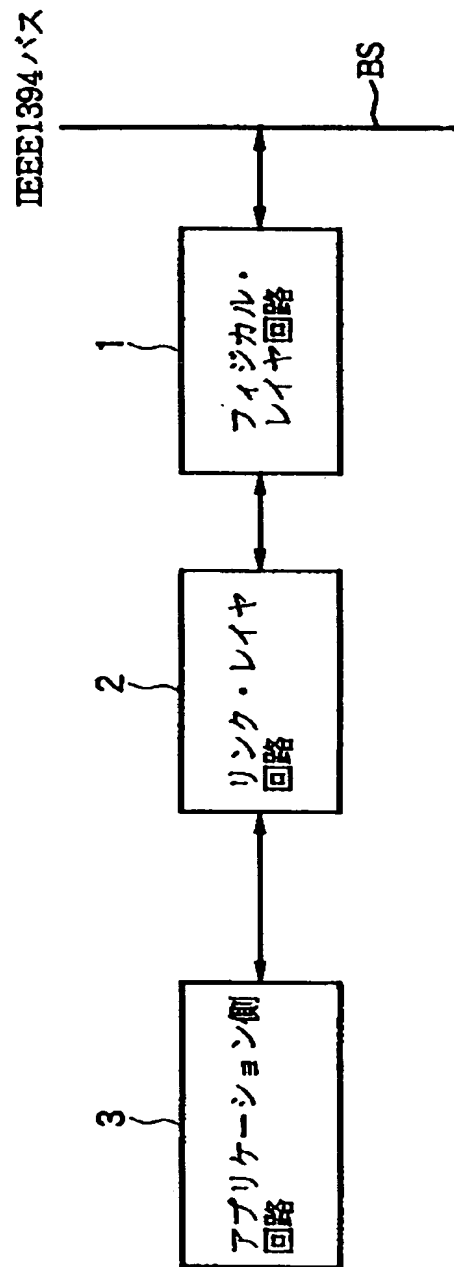
【图 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 チャンネル選択用の外付け回路を用いることなく、特定のチャンネルのデータを選択してデータ伝送路に送出できるデータ処理回路を提供する。

【解決手段】 アプリケーションインタフェース回路103において、MPEGトランスポート41から入力したパケットイネーブル信号PEN\_INに基づいて、データData\_INを構成する各パケットデータ内のチャンネル識別データを抽出し、当該抽出したチャンネル識別データとチャンネル指定データとを比較し、比較の結果が一致を示す場合に、パケットイネーブル信号PEN\_INをパケットイネーブル信号PEN\_OUT<sub>1</sub>として送信前処理回路108に出力し、比較の結果が不一致を示す場合に、無効を示すパケットイネーブル信号PEN\_OUT<sub>1</sub>を送信前処理回路108に出力する。

【選択図】 図1



【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】  
【識別番号】 000002185  
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号  
【氏名又は名称】 ソニー株式会社  
【代理人】 申請人  
【識別番号】 100094053  
【住所又は居所】 東京都台東区柳橋 2 丁目 4 番 2 号 創進国際特許事  
務所  
【氏名又は名称】 佐藤 隆久

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社